

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-293436

(43)Date of publication of application : 27.11.1989

(51)Int.Cl.

G06F 7/50

(21)Application number : 63-124417

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 20.05.1988

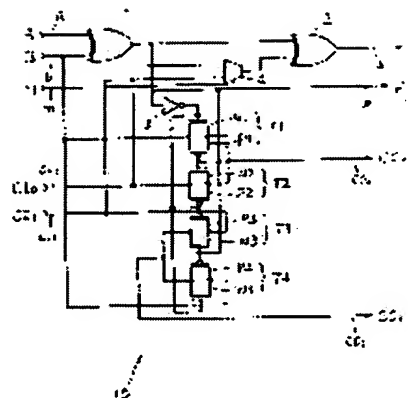
(72)Inventor : TAKASHIMA MASAHIKO  
MATSUMURA TETSUYA

## (54) ADDER

## (57)Abstract:

PURPOSE: To attain a high speed action with the small number of elements by providing respectively the channel of a carrier signal corresponding to the time of a usual action and the time of a reverse action and providing one gate step at respective channels.

CONSTITUTION: Since a control signal M given to a control terminal (m) is an 'L' level at the time of a normal action, a multiplexer 4 selects a carrying signal C10 given to a first carrying input terminal ci0 and gives it to an ExOR gate 2. Since the control signal M given to the control terminal (m) is an 'H' level at the time of the reverse action, the multiplexer 4 selects a carrying signal C11 given to a second carrying input terminal ci1 and gives it to the ExOR gate 2. Thus, a transfer gate, in which a carrying signal passes, is made into one step. Thus, a high speed action can be executed.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-293436

⑮ Int. Cl.<sup>4</sup>  
G 06 F 7/50

識別記号 庁内整理番号  
A-7056-5B

⑬ 公開 平成1年(1989)11月27日

審査請求 未請求 請求項の数 1 (全13頁)

⑭ 発明の名称 加算器

⑯ 特 願 昭63-124417

⑰ 出 願 昭63(1988)5月20日

⑱ 発 明 者 高 島 雅 彦 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社カスタムLSI設計技術開発センター内

⑲ 発 明 者 松 村 哲 哉 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

加算器

2. 特許請求の範囲

第1の被加算信号を受ける第1の入力端子、  
第2の被加算信号を受ける第2の入力端子、  
加算結果を出力するための出力端子、

キャリ信号を受ける第1のキャリ入力端子、  
キャリ信号を受ける第2のキャリ入力端子、  
前記第1のキャリ入力端子に対応して設けられる第1のキャリ出力端子、

前記第2のキャリ入力端子に対応して設けられる第2のキャリ出力端子、

選択信号を受ける選択端子、

前記第1のキャリ入力端子と前記第1のキャリ出力端子との間に結合され、選択的に導通状態または非導通状態にされる第1のゲート手段、

前記第2のキャリ入力端子と前記第2のキャリ出力端子との間に結合され、選択的に導通状態または非導通状態にされる第2のゲート手段、

前記選択端子に与えられる選択信号にตอบสนองして、  
前記第1のキャリ入力端子または前記第2のキャリ入力端子を選択する選択手段、

前記第1の被加算信号、前記第2の被加算信号、  
および前記選択手段により選択されたキャリ入力端子に与えられるキャリ信号を加算し、その加算結果を前記出力端子に与える演算手段、および

前記第1の被加算信号と前記第2の被加算信号とが異なる場合に、前記第1および第2のゲート手段のうち、少なくとも前記選択手段により選択されたキャリ入力端子に結合されるゲート手段を導通状態にし、前記第1の被加算信号と前記第2の被加算信号とが同じ場合には、前記第1および第2のキャリ出力端子のうち、少なくとも前記選択されたキャリ入力端子に対応するキャリ出力端子にその被加算信号と同じ信号を与えるキャリ制御手段を備えた、加算器。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は加算器に関し、特にノーマル動作お

よびリバース動作が可能な加算器に関する。

〔従来の技術〕

第5図は、通常の加算動作（ノーマル動作）およびビットリバース加算動作（リバース動作）が可能な従来の加算器の構成を示す回路図である。

第5図に示される加算器20は、排他的論理和ゲート（以下、ExORゲートという）21、22、インバータ23、24、25、ORゲート26、ANDゲート27、およびトランスファゲートT21～T24を含む。トランスファゲートT21～T24はNチャネルMOSトランジスタからなる。入力端子aには被加算信号である入力信号Aが与えられ、入力端子bには被加算信号である入力信号Bが与えられる。制御端子qには制御信号Qが与えられ、キャリ端子c1にはキャリ信号CIが与えられる。和出力端子sからは加算結果である和出力信号Sが出力される。キャリ伝播端子pからはキャリ伝播信号（Carry Propagate）Pが出力され、キャリ端子c0からは桁上げを示すキャリ信号COが出力される。

また、ExORゲート21の出力はExORゲート22の一方の入力端子およびキャリ伝播端子pに与えられる。ExORゲート22の他方の入力端子はトランスファゲートT21およびT22間の接続点に接続されている。ExORゲート22の出力は和出力端子sに与えられる。さらに、入力端子bはトランスファゲートT23およびT24間の接続点に接続されている。

次に、表1および表2を参照しながら第5図の加算器の動作について説明する。

表1

Q	A	B	CI	P	S	CO
0	0	0	0	0	0	0
0	0	0	1	0	1	0
0	0	1	0	1	1	0
0	0	1	1	1	0	1
0	1	0	0	1	1	0
0	1	0	1	1	0	1
0	1	1	0	0	0	1
0	1	1	1	0	1	1

ExORゲート21の一方の入力端子は入力端子aに接続され、他方の入力端子は入力端子bに接続されている。また、キャリ端子c1とキャリ端子c0との間には、トランスファゲートT21およびT22が直列に接続され、かつ、トランスファゲートT23およびT24が直列に接続されている。ExORゲート21の出力はインバータ23を介してANDゲート27の一方の入力端子に与えられる。ANDゲート27の他方の入力端子には制御端子qから制御信号Qが与えられる。ANDゲート27の出力はトランスファゲートT23のゲートに与えられかつインバータ24を介してトランスファゲートT21のゲートに与えられる。また、ExORゲート21の出力はORゲート26の一方の入力端子に与えられる。ORゲート26の他方の入力端子には制御端子qから制御信号Qが与えられる。ORゲート26の出力はトランスファゲートT22のゲートに与えられかつインバータ25を介してトランスファゲートT24のゲートに与えられる。

表2

Q	A	B	CO	P	S	CI
1	0	0	0	0	0	0
1	0	0	1	0	1	0
1	0	1	0	1	1	0
1	0	1	1	1	0	1
1	1	0	0	1	1	0
1	1	0	1	1	0	1
1	1	1	0	0	0	1
1	1	1	1	0	1	1

表1は、加算器20のノーマル動作時の真値表である。ノーマル動作時には、キャリ端子c1にキャリ信号CIが入力され、キャリ端子c0からキャリ信号COが出力される。ノーマルモード時には制御信号Qは「0」（「L」レベル）に固定される。

表1に示すように、入力信号AおよびBが共に「0」のときには、入力されるキャリ信号CIに関係なく出力されるキャリ信号COは「0」となる。すなわち、キャリ信号COが「K i l l」さ

れる。したがって、入力信号AおよびBが共に「0」のときには、入力信号AまたはBがキャリ信号C0として出力される。

入力信号AおよびBが共に「1」（「H」レベル）のときには、入力されるキャリ信号C1に関係なく出力されるキャリ信号C0は「1」となる。すなわち、キャリ信号C0が“Generate”される。したがって、入力信号AおよびBが共に「1」のときは、入力信号AまたはBがキャリ信号C0として出力される。

入力信号AおよびBの和が「1」のとき、すなわち入力信号AおよびBのいずれか一方が「1」でありかつ他方が「0」であるときには、キャリ信号C1が「1」ならばキャリ信号C0も「1」となり、キャリ信号C1が「0」ならばキャリ信号C0も「0」となる。すなわち、キャリ信号C1がそのまま“Propagate”される。したがって、入力信号AおよびBの和が「1」のときには、キャリ信号C1がそのままキャリ信号C0として出力される。

は和出力信号Sは「1」となる。

入力信号AおよびBが共に「1」のときにも同様に、ExORゲート21の出力は「L」レベルとなる。したがって、キャリ伝播信号Pも同様に「0」となり、また、同様にトランスファゲートT22がオフしトランスファゲートT24がオンする。その結果、入力信号BがトランスファゲートT24を介してキャリ端子c0からキャリ信号C0として出力される。したがって、キャリ信号C0は「1」となる。このとき、ExORゲート22の一方の入力端子にはExORゲート21からの「L」レベルの出力が与えられ、他方の入力端子にはトランスファゲートT21を介してキャリ信号C1が与えられる。したがって、キャリ信号C1が「0」のときには和出力信号Sは「0」となり、キャリ信号C1が「1」のときには和出力信号Sは「1」となる。

入力信号AおよびBのいずれか一方が「0」であり他方が「1」のときには、ExORゲート21の出力は「H」レベルとなる。したがって、キ

第5図において、ノーマル動作時には制御端子qに与えられる制御信号Qは「L」レベルであるので、ANDゲート27の出力は「L」レベルとなり、トランスファゲートT21がオンしトランスファゲートT23がオフする。入力信号AおよびBが共に「0」のとき、ExORゲート21の出力は「L」レベルとなる。したがって、キャリ伝播信号Pは「0」となる。また、ORゲート26の出力は「L」レベルとなり、トランスファゲートT22がオフしトランスファゲートT24がオンする。その結果、入力信号BがトランスファゲートT24を介してキャリ端子c0からキャリ信号C0として出力される。したがって、キャリ信号C0は「0」となる。このとき、ExORゲート22の一方の入力端子にはExORゲート21からの「L」レベルの出力が与えられ、他方の入力端子にはトランスファゲートT21を介してキャリ信号C1が与えられる。したがって、キャリ信号C1が「0」のときには和出力信号Sは「0」となり、キャリ信号C1が「1」のときに

キャリ伝播信号Pは「1」となる。また、ORゲート26の出力が「H」レベルとなり、トランスファゲートT22がオンしトランスファゲートT24がオフする。すなわち、トランスファゲートT21およびT22がオンするので、キャリ端子c1に入力されるキャリ信号C1はそのままキャリ端子c0に伝播される。したがって、キャリ信号C0はキャリ信号C1と同じになる。このとき、ExORゲート22の一方の入力端子にはExORゲート21からの「H」レベルの出力が与えられ、他方の入力端子にはトランスファゲートT21を介してキャリ信号C1が与えられる。したがって、キャリ信号C1が「0」のときには和出力信号Sは「1」となり、キャリ信号C1が「1」のときには和出力信号Sは「0」となる。

表2は、加算器20のリバース動作時の真理値表である。リバース動作時には、キャリ端子c0にキャリ信号C0が入力され、キャリ端子c1からキャリ信号C1が出力される。また、リバース動作時には、制御信号Qは「1」に固定される。

表2が表1と異なるのは、制御信号Qが「1」となっている点、およびキャリ信号C1とキャリ信号C0とが入替わっている点である。

第5図において、リバース動作時には、制御端子qに与えられる制御信号Qは「H」レベルであるので、ORゲート26の出力は「H」レベルとなり、トランスファゲートT22がオンしトランスファゲートT24がオフする。入力信号AおよびBが共に「0」のとき、EXORゲート21の出力は「L」レベルとなる。したがって、キャリ伝播信号Pは「0」となる。また、ANDゲート27の出力が「H」レベルとなり、トランスファゲートT21がオフしトランスファゲートT23がオンする。その結果、入力信号BがトランスファゲートT23を介してキャリ端子c1からキャリ信号C1として出力される。したがって、キャリ信号C1は「0」となる。このとき、EXORゲート22の一方の入力端子にはEXORゲート21からの「L」レベルの出力が与えられ、他方の入力端子にはトランスファゲートT22を介して

る。

入力信号AおよびBのいずれか一方が「0」であり他方が「1」であるときには、EXORゲート21の出力は「H」レベルとなる。したがって、キャリ伝播信号Pは「1」となる。また、ANDゲート27の出力が「L」レベルとなり、トランスファゲートT21がオンしトランスファゲートT23がオフする。すなわち、トランスファゲートT22およびT21がオンするので、キャリ端子c0に入力されるキャリ信号C0はそのままキャリ端子c1に伝播される。したがって、キャリ信号C1はキャリ信号C0と同じになる。このとき、EXORゲート22の一方の入力端子にはEXORゲート21からの「H」レベルの出力が与えられ、他方の入力端子にはトランスファゲートT22を介してキャリ信号C0が与えられる。したがって、キャリ信号C0が「0」のときには和出力信号Sは「1」となり、キャリ信号C0が「1」のときには和出力信号Sは「0」となる。

このように、ノーマル動作においてもリバース

てキャリ信号C0が与えられる。したがって、キャリ信号C0が「0」のときには和出力信号Sは「0」となり、キャリ信号C0が「1」のときには和出力信号Sは「1」となる。

入力信号AおよびBが共に「1」のときにも同様に、EXORゲート21の出力は「L」レベルとなる。したがって、キャリ伝播信号Pは「0」となる。また、ANDゲート27の出力が「H」となり、トランスファゲートT21がオフしトランスファゲートT23がオンする。その結果、入力信号BがトランスファゲートT23を介してキャリ端子c1からキャリ信号C1として出力される。したがって、キャリ信号C1は「1」となる。このとき、EXORゲート22の一方の入力端子にはEXORゲート21からの「L」レベルの出力が与えられ、他方の入力端子にはトランスファゲートT22を介してキャリ信号C0が与えられる。したがって、キャリ信号C1が「0」のときには和出力信号Sは「0」となり、キャリ信号C1が「1」のときには和出力信号Sは「1」とな

動作においても、入力信号AおよびBが互いに異なるときには、キャリ伝播信号Pが「1」となり、入力されたキャリ信号は2段のトランスファゲートを介して一方のキャリ端子から他方のキャリ端子に伝播されそのまま出力される。

第6図は、第5図の加算器20を用いて構成された4ビットのキャリ・ルック・アヘッド(Carry Look Ahead)方式の加算回路を示す図である。

第6図の加算回路は、4つの加算器20、から構成されている。ここで、kは0～3の整数である。1桁目の加算器20、のキャリ端子ciはNチャネルMOSトランジスタN31を介して端子iに接続されている。各加算器20、20<sub>1</sub>、20<sub>2</sub>、20<sub>3</sub>のキャリ端子coはそれぞれ次桁の加算器20<sub>1</sub>、20<sub>2</sub>、20<sub>3</sub>のキャリ端子ciに接続されている。4桁目の加算器20<sub>3</sub>のキャリ端子coはNチャネルMOSトランジスタN32を介して端子oに接続されている。各加算器20、のキャリ伝播端子pはNANDゲート31の入力端

子に接続されている。NANDゲート31の出力はANDゲート32の一方の入力端子およびANDゲート33の一方の入力端子に与えられる。制御信号Qは各加算器20、の制御端子qに与えられる。また、制御信号Qは、ANDゲート33の他方の入力端子に与えられかつインバータ34を介してANDゲート32の他方の入力端子に与えられる。ANDゲート32の出力はトランジスタN31のゲートに与えられ、ANDゲート33の出力はトランジスタN32のゲートに与えられる。さらに、端子iと端子oとはNチャネルMOSトランジスタN33を介して接続され、そのトランジスタN33のゲートにはNANDゲート31の出力がインバータ35を介して与えられる。

各加算器20、の入力端子a、bにはそれぞれ入力信号A(k)、B(k)が与えられる。また、各加算器20、の和出力端子sからはそれぞれ和出力信号S(k)が出力される。

各加算器20、において、2つの入力信号A(k)およびB(k)が互いに異なる場合には、

加算器20、のキャリ端子coに inputs され、各加算器20、のキャリ端子ciから出力されるキャリ信号が順次下位桁の加算器20、<sub>i-1</sub>のキャリ端子coに与えられる。

一方、4つの加算器20、から出力されるキャリ伝播信号Pがすべて「1」であるときには、NANDゲート31の出力は「L」レベルとなる。これにより、ANDゲート32および33の出力は「L」レベルとなり、トランジスタN31およびN32はオフする。このとき、インバータ35の出力は「H」レベルとなり、トランジスタN33がオンする。これにより、端子iと端子oとが接続されることになる。したがって、ノーマル動作時には、端子iに与えられるキャリ信号がトランジスタN33を介してそのまま端子oから出力される。また、リバース動作時には、端子oに与えられるキャリ信号がトランジスタN33を介してそのまま端子iから出力される。すなわち、キャリ伝播信号Pがすべて「1」となるときには、キャリ信号は4つの加算器20、を飛越してその

キャリ伝播端子pから出力されるキャリ伝播信号Pは「1」となる。4つの加算器20、から出力されるキャリ伝播信号Pのうちいずれかが「0」であるときには、NANDゲート31の出力は「H」レベルとなる。ノーマル動作時には、制御信号Qは「L」レベルであるので、ANDゲート32の出力は「H」レベルとなり、ANDゲート33の出力は「L」レベルとなる。したがって、トランジスタN31がオンし、トランジスタN32がオフする。この場合、端子iに与えられるキャリ信号が1桁目の加算器20、のキャリ端子ciに inputs され、各加算器20、のキャリ端子coから出力されるキャリ信号が順次上位桁の加算器20、<sub>i+1</sub>のキャリ端子ciに与えられる。

リバース動作時には、制御信号Qが「H」レベルであるので、ANDゲート32の出力は「L」レベルとなり、ANDゲート33の出力は「H」レベルとなる。これにより、トランジスタN31がオフし、トランジスタN32がオンする。この場合、端子oに与えられるキャリ信号が4桁目の

まま出力されることになるので、高速化が図られる。

このような方式を、キャリ・ルック・アヘッド方式または桁上げ先見方式という。

〔発明が解決しようとする課題〕

第5図の従来の加算器20においては、キャリ信号がキャリ端子ciおよびco間の2段のトランスファゲートを通らなければならないので、キャリ信号の伝播速度が遅くなり演算速度が遅くなるという問題点があった。

この発明の目的は、キャリ信号が通過するトランスファゲートを1段にすることにより高速動作が可能な加算器を提供することである。

〔課題を解決するための手段〕

この発明に係る加算器は、第1の被加算信号を受ける第1の入力端子、第2の被加算信号を受ける第2の入力端子、加算結果を出力するための出力端子、キャリ信号を受ける第1のキャリ入力端子、キャリ信号を受ける第2のキャリ入力端子、第1のキャリ入力端子に対応して設けられる第1

のキャリ出力端子、第2のキャリ入力端子に対応して設けられる第2のキャリ出力端子、選択信号を受ける選択端子、第1のゲート手段、第2のゲート手段、選択手段、演算手段、およびキャリ制御手段を備えたものである。

第1のゲート手段は、第1のキャリ入力端子と第1のキャリ出力端子との間に結合され、選択的に導通状態または非導通状態にされる。第2のゲート手段は、第2のキャリ入力端子と第2のキャリ出力端子との間に結合され、選択的に導通状態または非導通状態にされる。選択手段は、選択端子に与えられる選択信号にตอบสนองして、第1のキャリ入力端子または第2のキャリ入力端子を選択する。演算手段は、第1の被加算信号、第2の被加算信号、および選択手段により選択されたキャリ入力端子に与えられるキャリ信号を加算し、その加算結果を出力端子に与える。

キャリ制御手段は、第1の被加算信号と第2の被加算信号とが異なる場合に、第1および第2のゲート手段のうち、少なくとも選択手段により選

択されたキャリ入力端子に結合されるゲート手段を導通状態にし、第1の被加算信号と第2の被加算信号とが同じ場合には、第1および第2のキャリ出力端子のうち、少なくとも選択されたキャリ入力端子に対応するキャリ出力端子にその被加算信号と同じ信号を与える。

#### 【作用】

この発明に係る加算器によれば、ノーマル動作時には、選択信号により第1のキャリ入力端子が選択される。第1の被加算信号と第2の被加算信号とが異なる場合には、第1のキャリ入力端子に与えられるキャリ信号が第1のゲート手段を介して第1のキャリ出力端子から出力される。第1の被加算信号と第2の被加算信号とが同じ場合には、第1の被加算信号または第2の被加算信号と同じ信号が第1のキャリ出力端子から出力される。また、第1の被加算信号、第2の被加算信号および第1のキャリ入力端子に与えられるキャリ信号が加算され、その加算結果が出力端子から出力される。

一方、リバース動作時には、選択信号により第2のキャリ入力端子が選択される。第1の被加算信号と第2の被加算信号とが異なる場合には、第2のキャリ入力端子に与えられるキャリ信号が第2のゲート手段を介して第2のキャリ出力端子から出力される。第1の被加算信号と第2の被加算信号とが同じ場合には、第1の被加算信号または第2の被加算信号と同じ信号が第2のキャリ出力端子から出力される。また、第1の被加算信号、第2の被加算信号および第2のキャリ入力端子に与えられるキャリ信号が加算され、その加算結果が出力端子から出力される。

このように、ノーマル動作時においてもリバース動作時においても、キャリ信号は1段のゲート手段を通ることになる。

#### 【実施例】

以下、この発明の一実施例を図面を用いて説明する。

第1図は、この発明の一実施例による加算器の構成を示す回路図である。第1図に示される加算

器10は、EXORゲート1、2、インバータ3、マルチプレクサ4、NチャネルMOSトランジスタN1～N4、およびPチャネルMOSトランジスタP1～P4を含む。トランジスタN1、P1、トランジスタN2、P2、トランジスタN3、P3、トランジスタN4、P4がそれぞれトランスファゲートT1、トランスファゲートT2、トランスファゲートT3、トランスファゲートT4を構成している。

入力端子aには被加算信号である入力信号Aが与えられ、入力端子bには被加算信号である入力信号Bが与えられる。制御端子mには制御信号Mが与えられる。第1のキャリ入力端子c1にはキャリ信号C1が与えられ、第2のキャリ入力端子c2にはキャリ信号C2が与えられる。和出力端子sから和出力信号Sが出力され、キャリ伝播端子pからキャリ伝播信号Pが出力される。第1のキャリ出力端子c0からキャリ信号C0が出力され、第2のキャリ出力端子c0'からキャリ信号C0'が出力される。

ExORゲート1の一方の入力端子は入力端子aに接続され、他方の入力端子は入力端子bに接続されている。入力端子bは、トランスファゲートT1を介して第1のキャリ出力端子c<sub>0</sub>に接続され、かつ、トランスファゲートT4を介して第2のキャリ出力端子c<sub>0</sub>に接続されている。また、第1のキャリ入力端子c<sub>i</sub>はトランスファゲートT2を介して第1のキャリ出力端子c<sub>0</sub>に接続されている。第2のキャリ入力端子c<sub>i</sub>はトランスファゲートT3を介して第2のキャリ出力端子c<sub>0</sub>に接続されている。マルチプレクサ4の一方の入力端子は第1のキャリ入力端子c<sub>i</sub>に接続され、他方の入力端子は第2のキャリ入力端子c<sub>i</sub>に接続されている。マルチプレクサ4の制御端子は制御端子mに接続されている。

ExORゲート2の一方の入力端子はExORゲート1の出力端子に接続され、他方の入力端子はマルチプレクサ4の出力端子に接続されている。ExORゲート2の出力端子は出力端子sに接続されている。一方、ExORゲート1の出力端子

はキャリ伝播端子pに接続されている。また、ExORゲート1の出力端子は、トランジスタP1, N2, N3, P4のゲートに接続され、かつ、インバータ3を介してトランジスタN1, P2, P3, N4のゲートに接続されている。

第1図に含まれるマルチプレクサ4の具体的な回路図を第2図に示す。マルチプレクサ4は、NチャネルMOSトランジスタN5とPチャネルMOSトランジスタP5とからなるトランスファゲートT5、NチャネルMOSトランジスタN6とPチャネルMOSトランジスタP6とからなるトランスファゲートT6、およびインバータ41を含む。第1のキャリ入力端子c<sub>i</sub>に接続される第1の入力端子i<sub>1</sub>はトランスファゲートT5を介して出力端子oに接続されている。第2のキャリ入力端子c<sub>i</sub>に接続される第2の入力端子i<sub>2</sub>はトランスファゲートT6を介して出力端子oに接続されている。制御信号Mが与えられる制御端子mは、トランジスタP5およびN6のゲートに接続され、かつ、インバータ41を介してトラ

ンジスタN5およびP6のゲートに接続されている。制御信号Mが「L」レベルのときには、トランスファゲートT5がオンし、第1の入力端子i<sub>1</sub>に与えられるキャリ信号C<sub>i</sub>がトランスファゲートT5を介して出力端子oに伝達される。制御信号Mが「H」レベルのときには、トランスファゲートT6がオンし、第2の入力端子c<sub>i</sub>に与えられるキャリ信号C<sub>i</sub>がトランスファゲートT6を介して出力端子oに伝達される。

次に、表3および表4を参照しながら第1図の加算器の動作について説明する。

(以下余白)

表3

M	A	B	Cl <sub>0</sub>	P	S	CO <sub>0</sub>
0	0	0	0	0	0	0
0	0	0	1	0	1	0
0	0	1	0	1	1	0
0	0	1	1	1	0	1
0	1	0	0	1	1	0
0	1	0	1	1	0	1
0	1	1	0	0	0	1
0	1	1	1	0	1	1

表4

M	A	B	Cl <sub>1</sub>	P	S	CO <sub>1</sub>
1	0	0	0	0	0	0
1	0	0	1	0	1	0
1	0	1	0	1	1	0
1	0	1	1	1	0	1
1	1	0	0	1	1	0
1	1	0	1	1	0	1
1	1	1	0	0	0	1
1	1	1	1	0	1	1



表3は加算器10のノーマル動作時の真理値表であり、表4は加算器10のリバース動作時の真理値表である。ノーマル動作時には、制御信号Mは「0」に固定される。また、ノーマル動作時には、第1のキャリ入力端子c i。にキャリ信号C I。が入力され、第1のキャリ出力端子c o。からキャリ信号C O。が出力される。逆に、リバース動作時には、制御信号Mは「1」に固定される。また、リバース動作時には、第2のキャリ入力端子c i。にキャリ信号C I。が入力され、第2のキャリ出力端子c o。からキャリ信号C O。が出力される。

表3に示すように、入力信号AおよびBが共に「0」のときは、入力されるキャリ信号C I。に関係なく、出力されるキャリ信号C O。は「0」となる。したがって、入力信号AまたはBがキャリ信号C O。として出力される。入力信号AおよびBが共に「1」のときは、入力されるキャリ信号C I。に関係なく、出力されるキャリ信号C O。は「1」となる。したがって、入力信号Aまた

はBがキャリ信号C O。として出力される。入力信号AおよびBの和が「1」のとき、すなわち入力信号AおよびBのいずれか一方が「1」であり他方が「0」であるときには、キャリ信号C I。が「1」ならばキャリ信号C O。も「1」となり、キャリ信号C I。が「0」ならばキャリ信号C O。も「0」となる。したがって、キャリ信号C I。がキャリ信号C O。としてそのまま出力される。

同様にリバース動作時には、表4に示すように、入力信号AおよびBが共に「0」のときは、入力信号AまたはBがキャリ信号C O。として出力される。入力信号AおよびBが共に「1」のときも、入力信号AまたはBがキャリ信号C O。として出力される。入力信号AおよびBの和が「1」のときは、キャリ信号C I。がそのままキャリ信号C O。として出力される。

第1図において、ノーマル動作時には、制御端子mに与えられる制御信号Mは「L」レベルであるので、マルチプレクサ4は第1のキャリ入力端子c i。に与えられるキャリ信号C I。を選択し

ExORゲート2に与える。入力信号AおよびBが共に「0」のとき、ExORゲート1の出力は「L」レベルとなる。したがって、キャリ伝播信号Pは「0」となる。また、トランスファゲートT1およびT4がオンし、トランスファゲートT2およびT3がオフする。その結果、入力信号BがトランスファゲートT1を介して第1のキャリ出力端子c o。から出力されるとともに、トランスファゲートT4を介して第2のキャリ出力端子c o。から出力される。したがって、キャリ信号C O。は「0」となる。このとき、ExORゲート2の一方の入力端子にはExORゲート1からの「L」レベルの出力が与えられ、他方の入力端子にはマルチプレクサ4を介してキャリ信号C I。が与えられる。したがって、キャリ信号C I。が「0」のときには和出力信号Sは「0」となり、キャリ信号C I。が「1」のときには和出力信号Sは「1」となる。

入力信号AおよびBが共に「1」のときにも同様に、ExORゲート1の出力は「L」レベルと

なる。したがって、キャリ伝播信号Pは「0」となる。また、同様に、トランスファゲートT1およびT4がオンし、トランスファゲートT2およびT3がオフする。その結果、入力信号BがトランスファゲートT1を介して第1のキャリ出力端子c o。から出力されるとともに、トランスファゲートT4を介して第2のキャリ出力端子c o。から出力される。したがって、キャリ信号C O。は「1」となる。このとき、ExORゲート2の一方の入力端子にはExORゲート1からの「L」レベルの出力が与えられ、他方の入力端子にはマルチプレクサ4を介してキャリ信号C I。が与えられる。したがって、キャリ信号C I。が「0」のときには和出力信号Sは「0」となり、キャリ信号C I。が「1」のときには和出力信号Sは「1」となる。

入力信号AおよびBのいずれか一方が「0」であり他方が「1」であるときには、ExORゲート1の出力は「H」レベルとなる。したがって、キャリ伝播信号Pは「1」となる。また、ラン

スファゲートT2およびT3がオンし、トランスファゲートT1およびT4がオフする。その結果、第1のキャリ入力端子 $c_i$ に与えられるキャリ信号 $C_i$ はトランスファゲートT2を介して第1のキャリ出力端子 $c_o$ に伝達され、キャリ信号 $C_o$ として出力される。このとき、E x O Rゲート2の一方の入力端子にはE x O Rゲート1からの「H」レベルの出力が与えられ、他方の入力端子にはマルチプレクサ4を介してキャリ信号 $C_i$ が与えられる。したがって、キャリ信号 $C_i$ が「0」のときには和出力信号 $S$ は「1」となり、キャリ信号 $C_i$ が「1」のときには和出力信号 $S$ は「0」となる。

リバース動作時には、制御端子 $m$ に与えられる制御信号 $M$ は「H」レベルであるので、マルチプレクサ4は第2のキャリ入力端子 $c_i$ に与えられるキャリ信号 $C_i$ を選択してE x O Rゲート2に与える。入力信号AおよびBが共に「0」のときには、ノーマル動作時と同様に、キャリ伝播信号 $P$ が「0」となり、また、トランスファゲート

T1およびT4がオンしトランスファゲートT2およびT3がオフする。その結果、入力信号BがトランスファゲートT4を介して第2のキャリ出力端子 $c_o$ からキャリ信号 $C_o$ として出力される。したがって、キャリ信号 $C_o$ は「0」となる。このとき、E x O Rゲート2の一方の入力端子にはE x O Rゲート1からの「L」レベルの出力が与えられ、他方の入力端子にはマルチプレクサ4を介してキャリ信号 $C_i$ が与えられる。したがって、キャリ信号 $C_i$ が「0」のときには和出力信号 $S$ は「0」となり、キャリ信号 $C_i$ が「1」のときには和出力信号 $S$ は「1」となる。

入力信号AおよびBが共に「1」のときにも同様に、キャリ伝播信号 $P$ は「0」となり、また、トランスファゲートT1およびT4がオンしトランスファゲートT2およびT3がオフする。その結果、入力信号BがトランスファゲートT4を介して第2のキャリ出力端子 $c_o$ からキャリ信号 $C_o$ として出力される。したがって、キャリ信

号 $C_o$ は「1」となる。このとき、キャリ信号 $C_i$ が「0」のときには和出力信号 $S$ は「0」となり、キャリ信号 $C_i$ が「1」のときには和出力信号 $S$ は「1」となる。

入力信号AおよびBのいずれか一方が「0」であり他方が「1」であるときには、ノーマル動作時と同様に、キャリ伝播信号 $P$ は「1」となり、また、トランスファゲートT2およびT3がオンしトランスファゲートT1およびT4がオフする。その結果、第2のキャリ入力端子 $c_i$ に与えられるキャリ信号 $C_i$ がトランスファゲートT3を介して第2のキャリ出力端子 $c_o$ に伝達され、キャリ信号 $C_o$ として出力される。このとき、キャリ信号 $C_i$ が「0」のときには和出力信号 $S$ は「1」となり、キャリ信号 $C_i$ が「1」のときには和出力信号 $S$ は「0」となる。

このように、ノーマル動作時には、第1のキャリ入力端子 $c_i$ に与えられるキャリ信号 $C_i$ が1段のトランスファゲートを介して第1のキャリ出力端子 $c_o$ に伝達され、キャリ信号 $C_o$ として出力される。また、リバース動作時には、第2のキャリ入力端子 $c_i$ に与えられるキャリ信号 $C_i$ が1段のトランスファゲートを介して第2のキャリ出力端子 $c_o$ に伝達され、キャリ信号 $C_o$ として出力される。したがって、キャリ信号の伝播速度が高速化され、演算速度の高速化が図られる。

第3図は、第1図の加算器を用いて構成された4ビットのキャリ・ルック・アヘッド方式の加算回路を示す図である。

第3図の加算回路は、4つの加算器10から構成される。ここで $k$ は0～3の整数である。1桁目の加算器10の第1のキャリ入力端子 $c_i$ は接地されているとともにインバータ9を介してマルチプレクサ5bの第2の入力端子 $x_i$ に接続されている。各加算器10の $10_1$ 、 $10_2$ の第1のキャリ出力端子 $c_o$ は次桁の加算器10の $10_2$ 、 $10_1$ の第1のキャリ入力端子 $c_i$ に接続されている。4桁目の加算器10の第1のキャリ出力端子 $c_o$ はインバータ8を介して出力される。

第3図の加算回路は、4つの加算器10から構成される。ここで $k$ は0～3の整数である。1桁目の加算器10の第1のキャリ入力端子 $c_i$ は接地されているとともにインバータ9を介してマルチプレクサ5bの第2の入力端子 $x_i$ に接続されている。各加算器10の $10_1$ 、 $10_2$ の第1のキャリ出力端子 $c_o$ は次桁の加算器10の $10_2$ 、 $10_1$ の第1のキャリ入力端子 $c_i$ に接続されている。4桁目の加算器10の第1のキャリ出力端子 $c_o$ はインバータ8を介して出力される。

してマルチプレクサ5bの第1の入力端子 $x_0$ に接続されている。一方、4桁目の加算器10<sub>3</sub>の第2のキャリ入力端子 $c_1$ は接地されているとともにインバータ7を介してマルチプレクサ5aの第2の入力端子 $x_1$ に接続されている。各加算器10<sub>0</sub>, 10<sub>1</sub>, 10<sub>2</sub>の第2のキャリ出力端子 $c_0$ はそれぞれ下位の桁の加算器10<sub>2</sub>, 10<sub>1</sub>, 10<sub>0</sub>の第2のキャリ入力端子 $c_1$ に接続されている。1桁目の加算器10<sub>0</sub>の第2のキャリ出力端子 $c_0$ はインバータ6を介してマルチプレクサ5aの第1の入力端子 $x_0$ に接続されている。各加算器10<sub>i</sub>のキャリ伝播端子 $p$ はNANDゲート12の入力端子に接続されている。NANDゲート12の出力はマルチプレクサ5aおよび5bの制御端子 $\bar{c}$ に与えられるとともにインバータ11を介してマルチプレクサ5aおよび5bの制御端子 $c$ に与えられる。

各加算器10<sub>i</sub>の入力端子 $a$ ,  $b$ にはそれぞれ入力信号 $A(k)$ ,  $B(k)$ が与えられる。また、各加算器10<sub>i</sub>の制御端子 $m$ には制御信号 $M$ が与

えられる。各加算器10<sub>i</sub>の和出力端子 $s$ からはそれぞれ出力信号 $S(k)$ が出力される。各加算器10<sub>i</sub>のキャリ伝播端子 $p$ からはそれぞれキャリ伝播信号 $P$ が出力される。

第3図に含まれるマルチプレクサ5aおよび5bの具体的な回路構成を第4図に示す。このマルチプレクサは、NチャネルMOSトランジスタ $N_7$ とPチャネルMOSトランジスタ $P_7$ とからなるトランスファゲート $T_7$ およびNチャネルMOSトランジスタ $N_8$ とPチャネルMOSトランジスタ $P_8$ とからなるトランスファゲート $T_8$ を含む。第1の入力端子 $x_0$ はトランスファゲート $T_7$ を介して出力端子 $y$ に接続されている。第2の入力端子 $x_1$ はトランスファゲート $T_8$ を介して出力端子 $y$ に接続されている。制御端子 $c$ はトランスファゲート $P_7$ および $N_8$ のゲートに接続されている。制御端子 $\bar{c}$ はトランジスタ $N_7$ および $P_8$ のゲートに接続されている。制御端子 $c$ に与えられる信号が「L」レベルでありかつ制御端子 $\bar{c}$ に与えられる信号が「H」レベルであるときに

は、トランスファゲート $T_7$ がオンし、第1の入力端子 $x_0$ に与えられる信号がトランスファゲート $T_7$ を介して出力端子 $y$ に伝達される。制御端子 $c$ に与えられる信号が「H」レベルでありかつ制御端子 $\bar{c}$ に与えられる信号が「L」レベルであるときには、トランスファゲート $T_8$ がオンし、第2の入力端子 $x_1$ に与えられる信号がトランスファゲート $T_8$ を介して出力端子 $y$ に伝達される。

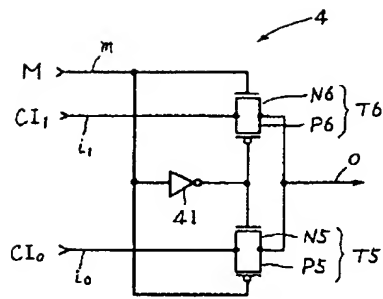
次に、第3図の加算回路の動作について説明する。各加算器10<sub>i</sub>において、2つの入力信号 $A(k)$ および $B(k)$ が互いに異なる場合にはキャリ伝播信号 $P$ は「1」となる。4つの加算器10<sub>i</sub>から出力されるキャリ伝播信号 $P$ のうちいずれかが「0」であるときには、NANDゲート12の出力は「H」レベルとなる。これにより、マルチプレクサ5aおよび5bは、第1の入力端子 $x_0$ に与えられる信号を出力端子 $y$ から導出する。したがって、マルチプレクサ5bは、4桁目の加算器10<sub>3</sub>の第1のキャリ出力端子 $c_0$ から出力される信号の反転信号を出力する。また、マル

チプレクサ5aは、1桁目の加算器10<sub>0</sub>の第2のキャリ出力端子 $c_0$ から出力される信号の反転信号を出力する。

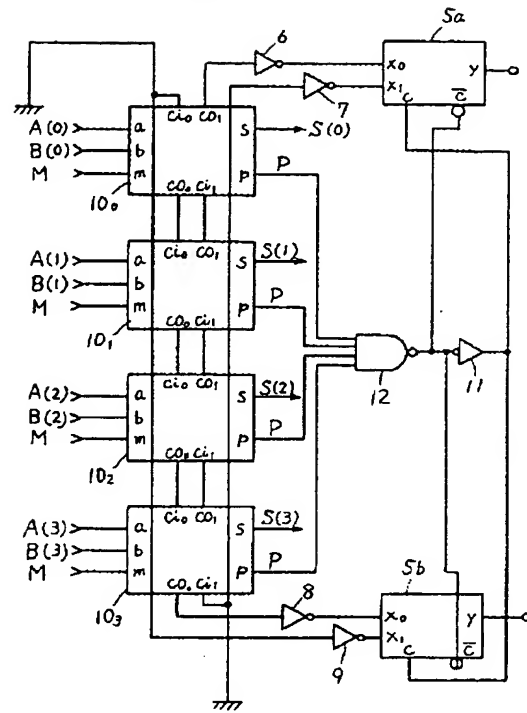
ノーマル動作時には、1桁目の加算器10<sub>0</sub>の第1のキャリ出力端子 $c_0$ からキャリ信号が出力され、2桁目の加算器10<sub>1</sub>の第1のキャリ入力端子 $c_1$ に与えられる。各加算器10<sub>i</sub>の第1のキャリ出力端子 $c_0$ から出力されるキャリ信号は順次上位桁の加算器10<sub>i+1</sub>の第1のキャリ入力端子 $c_1$ に与えられる。4桁目の加算器10<sub>3</sub>の第1のキャリ出力端子 $c_0$ から出力されるキャリ信号は、インバータ8およびマルチプレクサ5bを介して出力される。リバース動作時には、4桁目の加算器10<sub>3</sub>の第2のキャリ出力端子 $c_0$ からキャリ信号が出力され、3桁目の加算器10<sub>2</sub>の第2のキャリ入力端子 $c_1$ に与えられる。各加算器10<sub>i</sub>の第2のキャリ出力端子 $c_0$ から出力されるキャリ信号は順次下位桁の加算器10<sub>i-1</sub>の第2のキャリ入力端子 $c_1$ に与えられる。1桁目の第2のキャリ出力端子 $c$



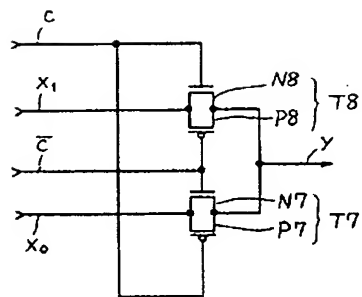
第2図



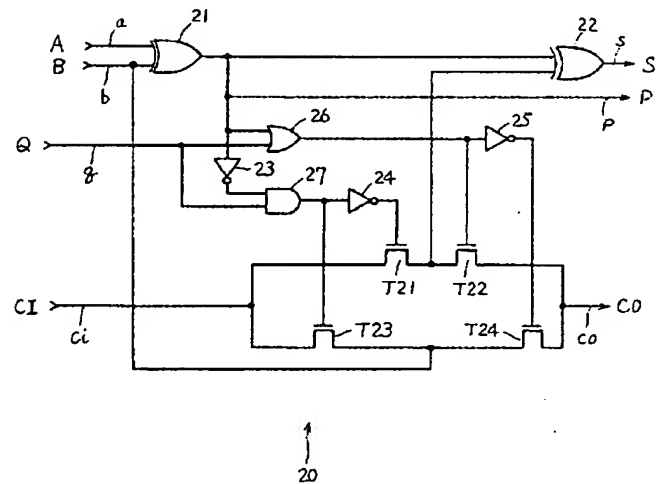
第3図



第4図



第5図



第6図

